

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07073034 A**

(43) Date of publication of application: 17.03.95

(51) Int. Cl.

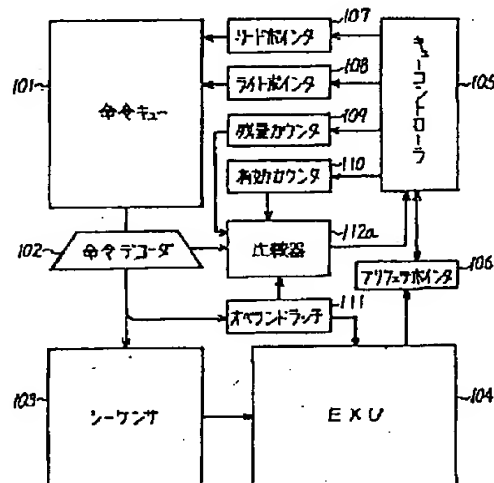
G06F 9/38(21) Application number: **05221567**(71) Applicant: **NEC CORP**(22) Date of filing: **07.09.93**(72) Inventor: **SUGIMOTO HIDEKI**(54) **INFORMATION PROCESSOR**

COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To increase the processing speed of a branch instruction by optimizing the method of instruction fetch accompanying queue flash at the time of branch instruction execution and reducing the frequency in prefetch.

CONSTITUTION: In this information processor, a comparator 112a detects whether the instruction in the branch destination address exists in an instruction queue 101 or not at the time of branch instruction execution by an operand latch 111 and a read pointer 107, a write pointer 108, a residual capacity counter 109, and an effective counter 110 which indicate the state of the instruction queue 101, and a queue controller 105 uses the detection result to correct the read pointer 107 without prefetching the next instruction and executes the control to directly take the instruction from the instruction queue 101 into an instruction decoder 102. Therefore, the read/write position can be corrected without flashing the instruction queue 101.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-73034

(43) 公開日 平成7年(1995)3月17日

(51) Int.Cl.⁶

G 0 6 F 9/38

識別記号

3 3 0 F
A

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平5-221567
(22) 出願日 平成5年(1993)9月7日

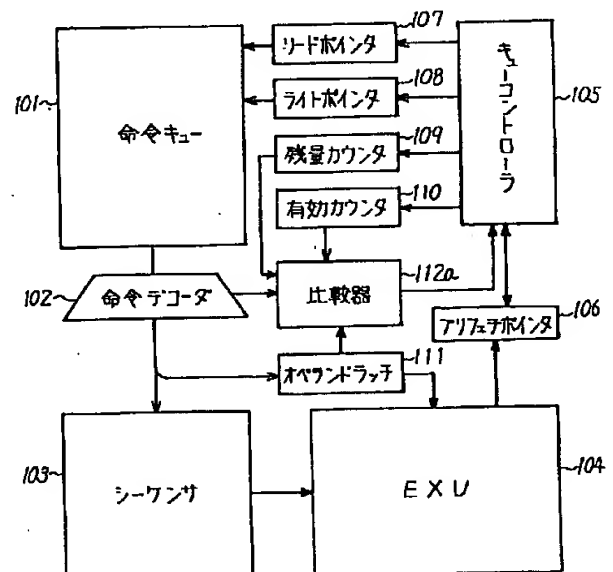
(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 杉本 英樹
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 情報処理装置

(57) 【要約】

【目的】 分岐命令実行時のキューフラッシュに伴う命令フェッチの方法を最適化し、プリフェッチ回数を減らすことによって分岐命令の高速化を実現する。

【構成】 この情報処理装置は、分岐命令実行時にオペランドラッチ111と命令キュー101の状態を示すリードポインタ107とライトポインタ108と残量カウンタ109と有効カウンタ110とから、分岐先アドレスの命令が命令キュー101内に存在するかを比較器112aで検出し、その結果を用いてキューコントローラ105が次の命令をプリフェッチせずにリードポインタ107を修正して命令を直接命令キュー101から命令デコーダ102に取り込むための制御を実行するようにしたので、命令キュー101をフラッシュせずに読み出し、書き込み位置を修正することが可能である。



【特許請求の範囲】

【請求項 1】 実行中の処理と平行して次の処理に必要な命令が予測されて格納されるプリフェッチキューとその命令を所定の信号に解読する命令デコーダと前記命令のオペランドを保持するオペランドラッチと前記プリフェッチキューに前記命令を読み込む制御を行うキューコントローラと前記キューコントローラから供給される制御信号に応答してキューアドレスのインクリメントおよびデクリメントを実行するプリフェッチポインタと実行アドレスを保持するプログラムカウンタと前記プログラムカウンタおよび前記オペランドラッチの各データ値から分岐先アドレスを生成するアドレス生成器を備えた情報処理装置において、分岐命令実行時の前記分岐先アドレスが前記プリフェッチキュー内に存在する前記命令の該当アドレス範囲にあるか否かを比較する手段と、前記比較の結果前記分岐先アドレスが前記該当アドレス範囲内にあるとき、前記プリフェッチキューを無効にすることなく前記プリフェッチポインタの値を変更する制御手段とにより、分岐先の命令が前記プリフェッチキュー内にある場合に、前記キューコントローラが前記分岐先の命令を再フェッチすることなく直接前記プリフェッチキューから前記デコーダに取り込むように制御することを特徴とする情報処理装置。

【請求項 2】 前記比較する手段は、前記命令が前記プリフェッチキューに書き込まれるごとにインクリメントされ前記命令デコーダに読み出されるごとにデクリメントされる残量カウンタと前記命令デコーダに読み出されるごとにインクリメントされ前記プリフェッチキューへの書き込みがオーバーライトされるごとにデクリメントされる有効カウンタとからそれぞれ供給されるデータ値を前記オペランドラッチの値と比較する第 1 の比較結果、および前記プリフェッチポインタが現在指すアドレスがフェッチ済みであるか否かを示すポインタ値を参照して前記残量カウンタと前記有効カウンタとからそれぞれ供給されるデータ値を前記アドレス生成器の前記分岐先アドレスの値と比較する第 2 の比較結果のいずれかの比較結果により前記分岐先の命令が前記プリフェッチキュー内に存在するか否かを検出する比較器を備え、前記第 1 の比較結果および前記第 2 の比較結果のいずれかが前記キューコントローラに供給されるように構成され、前記プリフェッチポインタを変更する制御手段は、前記第 2 の比較結果に応答して前記キューコントローラから供給される制御信号によりプリフェッチポインタがその保持するプリフェッチアドレスをインクリメントまたはデクリメントしその値を前記ポインタ値として前記比較器に供給するように構成されることを特徴とする請求項 1 記載の情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は情報処理装置に係わり、

特にプリフェッチキュー（命令キュー）の制御を工夫した情報処理装置に関する。

【0002】

【従来の技術】 従来のこの種の情報処理装置では、実行中の処理と平行して必要と思われる命令をあらかじめ読み取り、その読み取った命令を待ち行列として登録し、実行中の処理が終了するのを待つ命令キューを備えているが、分岐命令が実行されたとき、その分岐先アドレスにかかわらず先き読み（プリフェッチ）および後続命令の実行を中止し、命令キューをフラッシュすることにより、そのときまでストアしていたものを無効とすることによって分岐先アドレスを生成し、分岐先アドレスから新たにプリフェッチを開始するとともに、命令キューに分岐先の命令が格納されるのを待つて実行を再開していた。

【0003】 また、定形的な例外処理を行う情報処理装置の例が特開平 1-194043 号公報に記載されている。図 3 を参照すると、同公報記載の電子計算機（情報処理装置）は、命令キュー 201 および 202、命令読出し機構 203、命令バス 204、マルチプレクサ 205、デコーダ 206、命令キュー制御機構 207、および変換緩衝機構（TLB）を有し、命令読出し機構 203 から命令バス 204 を介して命令が送られると、命令キュー制御機構 207 から命令キュー 201 にエンキュー信号 a 1 が供給され、命令は命令キュー 201 に格納される。マルチプレクサ 205 へは命令キュー制御機構 207 から選択信号 b として「0」が供給され、命令キュー 201 の命令がデコーダに送られるように構成されている。

【0004】 すなわち、この情報処理装置は、通常実行時のために用意された命令キューと、例外処理実行時のために用意された命令キューをそれぞれ独立して設けている。そのため、例外処理への分岐時に例外処理専用の命令キューに切替えて使用することにより、通常実行用の命令キューのフラッシュを抑制する。また、例外処理から戻るときに通常実行用の命令キューに切替えることで、再フェッチの必要がなくオーバーヘッドを減らすようになっていた。

【0005】

【発明が解決しようとする課題】 上述した従来の情報処理装置では、例外処理等の定形化された一部の処理を除いては、分岐実行時に命令キューをフラッシュするように構成されているため、分岐先の命令実行の前には必ずプリフェッチをする必要がある。そのため、命令の実行はプリフェッチの完了を待つて開始されることになり、パイプライン処理が乱れ、分岐時の処理が性能を低下させていた。また、例外処理用の命令キューをもつ場合であっても、ハードウェア量が増加するという欠点があった。

【0006】 本発明の目的は、分岐命令実行時のキュー

3

フラッシュに伴う命令フエッチの方法を最適化し、プリフエッチ回数を減らすことによって分岐命令の高速化を実現することにある。

【0007】

【課題を解決するための手段】本発明の情報処理装置は、実行中の処理と平行して次の処理に必要な命令が予測されて格納される命令キューとその命令を所定の信号に解読する命令デコーダと前記命令のオペランドを保持するオペランドラッチと前記命令キューに前記命令を読み込む制御を行うキューコントローラと前記キューコントローラから供給される制御信号に回答してキューアドレスのインクリメントおよびデクリメントを実行するプリフエッチポインタと実行アドレスを保持するプログラムカウンタと前記プログラムカウンタおよび前記オペランドラッチの各データ値から分岐先アドレスを生成するアドレス生成器を備えた情報処理装置において、分岐命令実行時の前記分岐先アドレスが前記命令キュー内に存在する前記命令の該当アドレス範囲にあるか否かを比較する手段と、前記比較の結果前記分岐先アドレスが前記該当アドレス範囲内にあるとき、前記命令キューを無効にすることなく前記プリフエッチポインタの値を変更する制御手段とにより、分岐先の命令が前記命令キュー内にある場合に、前記キューコントローラが前記分岐先の命令を再フエッチすることなく直接前記命令キューから前記デコーダに取り込むように制御することを特徴とする。

【0008】また、前記比較する手段は、前記命令が前記命令キューに書き込まれるごとにインクリメントされ前記命令デコーダに読み出されるごとにデクリメントされる残量カウンタと前記命令デコーダに読み出されるごとにインクリメントされ前記命令キューへの書き込みがオーバーライトされるごとにデクリメントされる有効カウンタとからそれぞれ供給されるデータ値を前記オペランドラッチの値と比較する第1の比較結果、および前記プリフエッチポインタが現在指すアドレスがフエッチ済みであるか否かを示すポインタ値を参照して前記残量カウンタと前記有効カウンタとからそれぞれ供給されるデータ値を前記アドレス生成器の前記分岐先アドレスの値と比較する第2の比較結果のいずれかの比較結果により前記分岐先の命令が前記命令キュー内に存在するか否かを検出する比較器を備え、前記第1の比較結果および前記第2の比較結果のいずれかが前記キューコントローラに供給されるように構成され、前記プリフエッチポインタを変更する制御手段は、前記第2の比較結果に回答して前記キューコントローラから供給される制御信号によりプリフエッチポインタがその保持するプリフエッチアドレスをインクリメントまたはデクリメントしその値を前記ポインタ値として前記比較器に供給するように構成されることを特徴とする。

【0009】

4

【実施例】次に、本発明の実施例について図面を参照しながら説明する。

【0010】図1は本発明の第1の実施例を示すブロック図である。図1を参照すると、同図に示した情報処理装置は、命令キュー101、命令デコーダ102、シーケンサ103、実行処理部(EXU)104、キューコントローラ105、プリフエッチポインタ106、リードポインタ107、ライトポインタ108、残量カウンタ109、有効カウンタ110、オペランドラッチ111、および比較器112aを備える。

【0011】上記各ユニットの相互関係を述べると、命令キュー101は、プリフエッチした命令を保持する。命令デコーダ102は、この命令キュー101から読み込んだ命令データをデコードして出力する。シーケンサ103は、デコードされたデータに回答して後段に制御信号を供給する。実行処理部(EXU)104は、シーケンサ103からの制御信号に回答してデータ処理を実行する。キューコントローラ105は、命令キュー101に命令を読み込ませる制御動作をする。プリフエッチポインタ106は、EXU104から供給されるプリフエッチアドレスを保持しキューコントローラ105の制御信号に回答してキューアドレスのインクリメントおよびデクリメントを実行する。

【0012】リードポインタ107は、命令キュー101へのリードアクセス時のアドレスを保持しキューコントローラ105からのリード制御信号に回答してその保持するアドレスをインクリメントする。ライトポインタ108は、命令キュー101へのライトアクセス時のアドレスを保持しキューコントローラ105からのライト制御信号に回答してその保持するアドレスをインクリメントする。

【0013】残量カウンタ109は、命令キュー101内に格納された命令数に関する情報を保持しプリフエッチされて未だデコードされない命令数を示すとともに、プリフエッチのライトごとにインクリメントされ、命令デコーダ102へリードされるごとにデクリメントされる。有効カウンタ110は、デコード済みであるがまだ命令キュー101内に残っている命令数を示すとともに、命令デコーダ102へのリードごとにインクリメントされ、命令キュー101へのライトでオーバーライトされたときにデクリメントされる。

【0014】オペランドラッチ111は、分岐を含む各命令のオペランドを保持する。比較器112aは、命令デコーダ102と残量カウンタ109と有効カウンタ110とオペランドラッチ111との各値の供給を受けてこれらの値を比較することにより、分岐先の命令が命令キュー101内にあるか否かを検出してキューコントローラ105に通知する。

【0015】次に、再び図1を参照してこの情報処理装置の動作を説明する。命令デコーダ102が分岐命令を

5

検出すると、シーケンサ 103 に分岐のためのアドレス生成処理を指示するとともに、オペランドラッチ 111 に分岐命令のオペランドをセットする。EXU104 はシーケンサ 103 の指示にตอบสนองしてオペランドラッチ 111 の内容と、EXU104 自身が保持する実行アドレスとを演算して新しい実行アドレスを生成する。

【0016】このとき、比較器 112a は、オペランドラッチ 111 の内容から分岐先の相対位置を知り、この相対位置の値が残量カウンタ 109、もしくは有効カウンタ 110 のカウンタ値が示す値の範囲に入っているかをチェックし、そのチェック結果をキューコントローラ 105 へ通知する。キューコントローラ 105 はこの情報によって次の命令をプリフェッチせずにリードポインタ 107 を修正して命令を直接命令キュー 101 から命令デコーダ 102 に取り込むための制御を実行する。

【0017】すなわち、ライトポインタ 108 を修正して命令キュー 101 のフラッシュをせずにプリフェッチを進めていくか、または従来と同様に命令キュー 101 をフラッシュし新しい実行アドレスをプリフェッチポインタ 106 にロードしてフェッチを再開するかのいずれかを決定する。

【0018】分岐命令実行時に命令キュー 101 をフラッシュせずに使用した場合のパイプライン動作説明用タイミングチャートを示す図 2 (a)、および従来と同様に命令キュー 101 をフラッシュして再度プリフェッチから開始した場合のパイプライン動作説明用タイミングチャートを示す図 2 (b) を参照すると、図 2 (a) に示したパイプライン動作は、命令キュー 101 のフラッシュを行わない場合の例であり、例えば、分岐命令 (jmp)、無効期間 (invalid)、および分岐先の命令 (target+1) がそれぞれ 2 クロックサイクルの間隔でプリフェッチステージに供給されているものとする。次のデコードステージではプリフェッチステージの jmp 命令の終了タイミングに同期して、jmp、idle、target、target+1、…の各命令が 1 クロックサイクルごとに実行され、さらに次の実行ステージでは前のデコードステージの jmp 命令の終了タイミングに同期して、jmp、idle、target、target+1、…の各命令が 1 クロックサイ

クルごとに実行されている。

【0019】すなわち、分岐先の命令 (target) がフェッチを待つことなく実行されており、その次の命令 (target+1) も命令キュー 101 内にあるため続けて実行されている。

【0020】一方、図 2 (b) に示したパイプライン動作は、命令キュー 101 のフラッシュを行う場合の例である。例えば、上記同様に jmp、invalid、および target+1 がそれぞれ 2 クロックサイクルの間隔でプリフェッチステージに供給されている。次のデ

6

コードステージではプリフェッチステージの jmp 命令の終了タイミングに同期して jmp 命令が 1 クロックサイクル実行された後に idle 期間が 3 クロックサイクル期間挿入され、その後に target、idle、target+1、idle、…の各命令が 1 クロックサイクルごとに実行され、さらに次の実行ステージでは前のデコードステージの jmp 命令の終了タイミングに同期して、jmp、3 クロックサイクル期間の idle、target、idle、target+1、idle …の各命令が 1 クロックサイクルごとに実行されている。

【0021】すなわち、プリフェッチのため jmp 命令の後に続く idle 期間が 3 クロックサイクル分挿入されているから、target は 2 クロック分遅れて実行される。また target+1 も、命令キュー 101 がフラッシュされて空になっているからプリフェッチのために 1 クロック遅れて実行されている。

【0022】上述したように、本実施例によれば分岐命令実行時の分岐先アドレスと命令キュー内に存在する命令の該当アドレス範囲とを比較し、その結果分岐先アドレスが該当アドレス範囲内にある場合に、命令キューをフラッシュすることなくプリフェッチポインタのポインタ値を変更することにより、分岐先の命令が命令キュー内にある場合に、分岐先の命令を再フェッチすることなく直接命令キューから取り込むように制御するので分岐命令の高速化を実現できる。

【0023】第 2 の実施例をブロック図で示した図 3 を参照すると、第 1 の実施例では分岐命令のオペランドから分岐先の相対位置を知る必要があったが、本実施例においては、EXU104 が実行アドレスを保持しているプログラムカウンタ 113 とオペランドラッチ 111 からアドレス生成器 114 によりアドレスを生成させ、そのアドレスと、プリフェッチポインタ 106、残量カウンタ 109、および有効カウンタ 110 の各値とを比較して分岐先の相対位置を知るように構成した点が第 1 の実施例とは異なる。その他の構成要素は第 1 の実施例の構成要素と同一であるから、詳細な説明は省略する。

【0024】上述した構成をとることにより、比較器 112b は、分岐先の相対位置を直接オペランドから知る必要がなく、プリフェッチポインタ 106 のポインタ値を参照してアドレス生成器 114 の分岐アドレス値からポインタ値を減算して得られるアドレス値が、残量カウンタ 109 と有効カウンタ 110 とが示す値の範囲内にあるかをチェックできる機能を有するようにしたので、命令キュー 101 内のデータが使用可能であるかを判断することができる。したがって、相対分岐だけでなくレジスタ相対分岐等の方式においても適用可能である。

【0025】

【発明の効果】以上説明したように、本発明の情報処理

装置は、分岐先の相対位置が近距離の分岐命令実行時に、命令キューに有効な命令が残っているかをチェックして分岐後のプリフェッチを極力減らすことにより、パイプライン動作の乱れを抑制し、実行速度の向上を可能にするとともに、フェッチによるバスの占有率を下げる事が可能である。

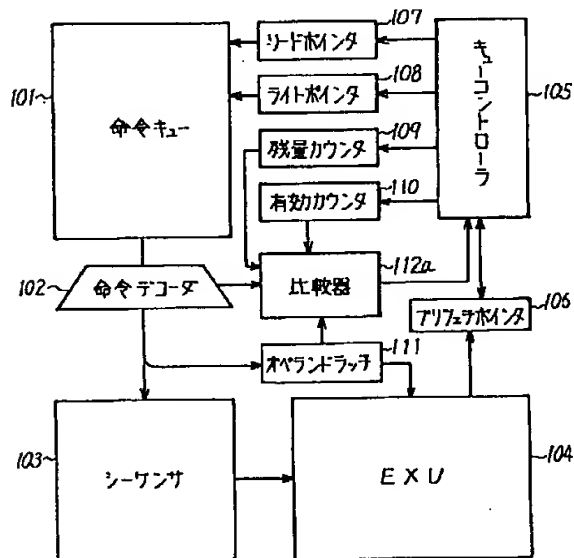
【0026】特に、命令キューの容量内の小ループの場合は、プリフェッチサイクルを削除することができ、データ転送などの機能をソフトウェアで実現した場合に、分岐のオーバーヘッドの低減と、フェッチによるバス占有時間の低減によって、大きく性能を向上させることが可能である。また従来は、1～2命令程度のスキップ時の分岐によるオーバーヘッドは3～5クロックサイクルを要していたが、これを1クロックサイクル程度にとどめることができ、したがって効率の良いパイプライン処理が可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すブロック図である。

【図2】(a) 第1の実施例における分岐命令実行時に命令キューをフラッシュせずに使用した場合のパイプライン動作説明用タイミングチャートである。

【図1】



(b) 命令キューをフラッシュして再度プリフェッチから開始した場合のパイプライン動作説明用タイミングチャートである。

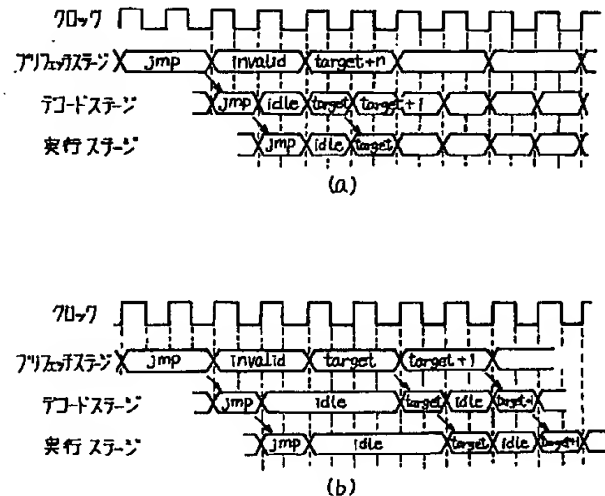
【図3】本発明の第2の実施例を示すブロック図である。

【図4】従来の情報処理装置の一例を示す図である。

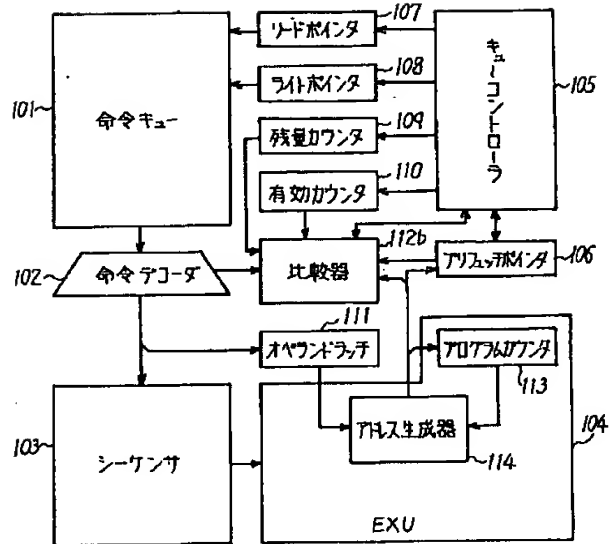
【符号の説明】

101	命令キュー
102	命令デコーダ
103	シーケンサ
104	実行処理部 (EXU)
105	キューコントローラ
106	プリフェッチポイント
107	リードポイント
108	ライトポイント
109	残量カウンタ
110	有効カウンタ
111	オペランドラッチ
112 a, 112 b	比較器
113	プログラムカウンタ
114	アドレス生成器

【図2】



【図 3】



【図 4】

